

FABRIKASI DAN PENCIRIAN TEKNOLOGI 0.13 μm nMOS

AFANDI BIN AHMAD

PTTA UTHM
PERPUSTAKAAN TUNKU TUN AMINAH

TESIS YANG DIKEMUKAKAN UNTUK MEMENUHI SEBAHAGIAN DARIPADA
SYARAT MEMPEROLEH IJAZAH
SARJANA SAINS

FAKULTI KEJURUTERAAN
UNIVERSITI KEBANGSAAN MALAYSIA
BANGI

2003

PENGHARGAAN

Alhamdulillah, bersyukur saya ke hadrat Illahi kerana dengan keizinanNya dapat saya menyelesaikan projek dan seterusnya menulis laporan projek ini tanpa menghadapi masalah yang besar.

Pertamanya, sekalung penghargaan buat penyelia saya Profesor Madya Ibrahim Bin Ahmad di atas segala tunjuk ajar, panduan, teguran dan bimbingan tanpa jemu sepanjang projek ini dijalankan.

Terima kasih juga saya ucapkan kepada Kak Fauziah yang telah banyak memberikan kerjasama dan bimbingan dalam aspek penggunaan perisian. Buat Dr. Kamal (JKMB), Encik Ramzan (MIMOS) dan Puan Badariah (IMEN) bantuan yang telah diberikan tidak akan saya lupakan. Tidak lupa juga kepada rakan-rakan seperjuangan seperti Shafinaz, Siti, Kak Mardiana, Sanna, Fairuz dan Thava di atas segala dorongan dan bantuan anda semua.

Tidak dilupakan buat mak dan bak serta keluarga tercinta, yang amat memahami dan tidak jemu memberikan sokongan kepada saya dalam meneruskan pengajian ini. Tidak ketinggalan kepada pihak KUiTTHO dan SLAB JPA di atas kemudahan, bantuan dan peluang yang diberikan.

ABSTRAK

Objektif projek ini adalah melakukan rekabentuk dan simulasi sebuah transistor nMOS dengan saiz salur $0.13 \mu\text{m}$. Dengan melaksanakan peraturan penskalaan, transistor nMOS $0.13 \mu\text{m}$ direkabentuk daripada resipi transistor CMOS $0.18 \mu\text{m}$ yang telah direkabentuk dan disimulasikan sebelum ini dengan menggunakan kaedah yang sama. Perubahan dilakukan kepada beberapa parameter penting seperti saiz salur, ketebalan oksida get, implantasi ion bagi modifikasi voltan ambang bagi mencapai matlamat projek ini. Fabrikasi dan simulasi dilakukan menggunakan perisian *Virtual Wafer Fabrication* (VWF) keluaran *Silvaco Inc. TCAD Tools*. Terdapat dua alat bantu utama yang digunakan iaitu ATHENA dan ATLAS. ATHENA berfungsi untuk melakukan simulasi kepada proses fabrikasi peranti dan ATLAS adalah untuk simulasi pencirian elektrik. Keputusan simulasi diberikan dalam paparan dua dimensi di dalam penyunting TONYPLOT. Daripada kajian yang dijalankan, nilai voltan ambang (V_{TH}) untuk transistor nMOS iaitu 0.23503 V , kedalaman simpang (X_j) dengan nilai $0.198707 \mu\text{m}$; dan nilai rintangan helaian polisilikon ialah 8.63937 ohm/seg . Sebagai kesimpulannya, objektif projek telah berjaya dicapai. Penggunaan ATLAS dan ATHENA serta pemilihan faktor penskalaan (S) = 1.38 adalah relevan.



PTAA
PERPUSTAKAAN TUNJUKKAN AMINAH

ABSTRACT

The objective of this project is to design and simulate an nMOS transistor with a channel size of 0.13 μm . Implementing the scaling law, nMOS transistor 0.13 μm is designed from a CMOS transistor 0.18 μm recipe that had been designed and simulated previously using the same method. Some important parameters such as channel size, gate oxide thickness, ion implanted for voltage threshold modification had to be adjusted in searching the project goals. Fabrication and simulation is done using Virtual Wafer Fabrication (VWF) software by Silvaco Inc. TCAD Tools. Two primary tools are used during this project, which are ATHENA and ATLAS. ATHENA works as a simulation tool for the device fabrication process and ATLAS for electrical characteristics simulation. The simulation results are given in two-dimensional display using TONYPLOT editor. From this study, the value of threshold voltage (V_{TH}) for nMOS transistor is 0.23503 V, junction depth (X_j) is 0.198707 μm ; and the value of polysilicon sheet resistance is 8.63937 ohm/square. As a conclusion, the objective of this project is achieved. The tools of ATHENA and ATLAS and the scaling factor (S) = 1.38 are relevant.



PTIA
PERPUSTAKAAN TUNKU AMINAH

KANDUNGAN

	Halaman
PENGAKUAN	i
PENGHARGAAN	ii
ABSTRAK	iii
ABSTRACT	iv
KANDUNGAN	v
SENARAI JADUAL	ix
SENARAI RAJAH	x
SENARAI SIMBOL	xii
SENARAI SINGKATAN	xiv
BAB 1 PENDAHULUAN	
1.1 Pengenalan	1
1.2 Objektif projek	5
1.3 Skop projek	5
1.4 Ringkasan laporan ilmiah	6
BAB 2 KAJIAN PERPUSTAKAAN	
2.1 Pengenalan Kepada Transistor	7
2.2 Transistor MOS	9
2.3 Transistor nMOS	11
2.3.1 Operasi Transistor nMOS	12
2.3.1.1 Operasi Transistor nMOS Susutan	13
2.3.1.2 Operasi Transistor nMOS Peningkatan	14

2.4	Ciri-ciri Elektrikal Transistor MOS	16
	2.4.1 Sistem MOS Bawah Voltan Bias Luaran	16
	2.4.2 Operasi MOSFET	20
2.5	Voltan Ambang (V_{TH})	26
2.6	Penskalaan MOSFET	27
2.7	Proses-proses Fabrikasi	30
	2.7.1 Litografi	31
	2.7.1.1 Wafer Dengan Filem Substrat	34
	2.7.1.2 Pemendapan Rintang Foto	34
	2.7.1.3 Pemanasan	35
	2.7.1.4 Penjajaran Topeng	36
	2.7.1.5 Pendedahan Sinaran Ultra Ungu	36
	2.7.1.6 Pembangunan (<i>development</i>)	36
	2.7.1.7 Penyingkiran Rintang Foto	37
	2.7.2 Pengoksidaan	37
	2.7.3 Resapan	38
	2.7.4 Implantasi Ion	39
	2.7.5 Penglogaman	42
	2.7.6 Pemendapan	43
	2.7.6.1 Pemendapan Silikon Dioksida	43
	2.7.6.2 Pemendapan Silikon Nitrit	44
	2.7.6.3 Pemendapan Polisilikon	45
	2.7.7 Punaran	45
2.8	Fabrikasi Transistor nMOS	47



BAB 3	REKABENTUK TRANSISTOR nMOS 0.13 μm	
3.1	Pengenalan	60
3.2	Rekabentuk Transistor nMOS 0.13 μm	61
	3.2.1 Penskalaan Transistor nMOS 0.13 μm	61
	3.2.2 Proses Rekabentuk Transistor nMOS 0.13 μm	64
BAB 4	SIMULASI TRANSISTOR nMOS 0.13 μm	
4.1	Pengenalan Kepada <i>Virtual Wafer Fabrication</i> (VWF)	69
4.2	Kod VWF Bagi Simulasi Transistor nMOS 0.13 μm	71
BAB 5	KEPUTUSAN DAN PERBINCANGAN	
5.1	Pengenalan	90
5.2	Hasil Simulasi Transistor nMOS 0.13 μm	91
5.3	Perbincangan keputusan	102
	5.3.1 Penskalaan	102
	5.3.2 Analisis Nilai Voltan Ambang (V_{TH})	104
	5.3.3 Analisis Get Oksida	104
BAB 6	KESIMPULAN DAN CADANGAN	
6.1	Kesimpulan	106
6.2	Masalah Yang Dihadapi	107
6.3	Cadangan Pada Masa Hadapan	107

RUJUKAN 109

LAMPIRAN 113

Lampiran A1 Resipi Simulasi ATHENA Transistor nMOS 0.13 μm 113

Lampiran A2 Resipi Simulasi ATLAS Transistor nMOS 0.13 μm 120

Lampiran B Laporan Teknikal 123



PTTA UTHM
PERPUSTAKAAN TUNKU TUN AMINAH

SENARAI JADUAL

No. Jadual		Halaman
1.1	Ramalan perkembangan teknologi oleh	4
2.1	Persamaan-persamaan arus-voltan bagi MOSFET saluran-n	25
2.2	Kaedah penskalaan medan tetap dan voltan tetap	28
3.1	Senarai ujikaji asas	63
4.1	Modul dan fungsi dalam perisian VWF	70
4.2	Parameter asas dalam resipi	74
5.1	Modifikasi parameter berdasarkan faktor $S = 1.38$	103



SENARAI RAJAH

No. Rajah		Halaman
1.1	Inovasi awal transistor dwikutub	2
1.2	Rumusan ramalan <i>Moore's Law</i>	3
2.1	Keluarga transistor	8
2.2	Keratan rentas transistor nMOS	10
2.3	Keratan rentas transistor pMOS	10
2.4	Keratan rentas transistor nMOS	11
2.5	Transistor nMOS susutan dihidupkan (<i>ON</i>)	13
2.6	Transistor nMOS susutan dimatikan (<i>OFF</i>)	14
2.7	Transistor nMOS peningkatan dihidupkan (<i>ON</i>)	15
2.8	Transistor nMOS peningkatan dimatikan (<i>OFF</i>)	15
2.9	Keratan rentas struktur MOS dan jalur tenaga semasa pengumpulan	17
2.10	Keratan rentas struktur MOS dan jalur tenaga semasa mod depleksi	18
2.11	Keratan rentas struktur MOS dan jalur tenaga pada penyongsangan	19
2.12	Keratan rentas nMOS beroperasi pada mod linear	20
2.13	Keratan rentas nMOS beroperasi pada titik <i>pinch-off</i>	21
2.14	Keratan rentas nMOS beroperasi pada mod tepu	22
2.15	Graf arus salir (I_D) lawan voltan salir (V_D) bagi nMOS	23
2.16	Graf arus salir (I_D) lawan voltan get (V_G) bagi nMOS	24
2.17	Ciri-ciri arus voltan transistor MOS saluran-n termasuk kesan modulasi panjang saluran	25
2.18	Kesan saluran pendek	29
2.19	Pembentukan pembawa panas dan komponen-komponen arusnya.	30

2.20	Aliran proses litografi	32
2.21	Pemindahan Corak Pada Wafer	33
2.22	Rintang foto positif dan negatif	35
2.23	Taburan ion terhadap jarak dari permukaan	41
2.24	Perbandingan kesan isotropik dan anisotropik	46
2.25 (a) – (v)	Fabrikasi langkah demi langkah transistor nMOS	48 - 59
3.1 (a) – (b)	Proses fabrikasi transistor nMOS	67 - 68
4.2	Pandangan Sudut Atas Transistor nMOS	72
4.2	Pentakrifan Jejaring	74
5.1	Paras ion dopan boron bagi substratum asas	93
5.2	Taburan ion boron untuk pembentukan telaga-p	93
5.3	Paras dopan ion boron dalam substratum silikon untuk pembentukan telaga-p	94
5.4	Taburan dopan ion boron selepas PSG penyepuh Lindapan	94
5.5	Taburan dopan untuk pembentukan lapisan oksida secara LOCOS	95
5.6	Pertumbuhan lapisan nipis oksida get	95
5.7	Paras dopan ion boron selepas pembentukan saluran-n	96
5.8	Punaran polisilikon untuk pembentukan get nMOS	96
5.9	Pertumbuhan oksida polisilikon	97
5.10	Pembentukan kawasan n-LDD	97
5.11	Pembentukan peruang	98
5.12	Pemendapan logam aluminium	98
5.13	Struktur transistor nMOS 0.13 μm lengkap	99
5.14	Struktur transistor nMOS 0.13 μm dengan penamaan elektrod	99
5.15	Struktur transistor nMOS 0.13 μm dengan orientasi jejaring	100
5.16	Struktur transistor nMOS 0.13 μm dengan fungsi pembaris	100
5.17	Hubungan $I_D - V_D$ untuk transistor nMOS 0.13 μm	101
5.18	Hubungan $I_D - V_G$ untuk transistor nMOS 0.13 μm	101

SENARAI SIMBOL

C_{ox}	Kapasitans oksida MOSFET
D	Pekali resapan
D	Salir
E_u	Tenaga keaktifan
E_c	Paras tenaga jalur konduksi
E_i	Paras tenaga celah tengah
E_{Fp}	Paras Fermi
E_{ox}	Medan elektrik lapisan oksida
E_v	Paras tenaga jalur valensi
I_d	Arus salir
k	Pemalar Boltzman (1.38×10^{-23} J/K)
L	Panjang get MOSFET
L_{eff}	Panjang saluran berkesan
N	Kepekatan pendedopan
N_A	Kepekatan penerima
N_D	Kepekatan penderma
N_O	Kepekatan dopan pada permukaan
q	Cas elektron
Q	Ketumpatan cas
Q_{BO}	Ketumpatan cas kawalan deplesi
Q_{OX}	Ketumpatan cas tetap positif pada antaramuka oksida silikon
R_p	Julat terunjur
S	Sumber
S	Faktor penskalaan
t	Masa
T	Suhu dalam Kelvin
t_{ox}	Ketebalan lapisan oksida get

V_B	Voltan substrat
V_d	Voltan salir
V_{DD}	Voltan bekalan kuasa
V_{DS}	Voltan sumber-salir
V_{DSat}	Voltan tepu salir
V_g	Voltan get
V_{subTH}	Voltan sub-ambang
V_{TH}	Voltan ambang
W	Lebar get MOSFET
X_j	Kedalaman simpang
x	Jarak
ϵ_r	Pemalar dielektrik
ϵ_0	Ketelusan ruang bebas
μ_n	Kelincahan electron
μ_p	Kelincahan lubang
λ	Pemalar modulasi panjang saluran
Φ_{GC}	Fungsi kerja antara get dan saluran



SENARAI SINGKATAN

APCVD	Atmospheric Pressure Chemical Vapor Deposition
BJT	Bipolar Junction Transistor
CAD	Computer Aided Design
CMOS	Complementary Metal Oxide Semiconductor
ITRS	International Technology Roadmap for Semiconductor
LDD	Lightly-Doped Drain
LPCVD	Low Pressure Chemical Vapor Deposition
MIMOS	Malaysia Institute of Microelectronics Systems
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
nMOS	n-channel MOSFET
pMOS	p-channel MOSFET
PECVD	Plasma Enhanced Chemical Vapor Deposition
PSG	Phosphor Silicate Glass
RIE	Reactive Ion Etching
SIA	Semiconductor Industry Association
ULSI	Ultra Large Scale Integration
UV	Ultra Violet
YLSI	Very Large Scale Integration
VWF	Virtual Wafer Fabrication



BAB 1

PENDAHULUAN

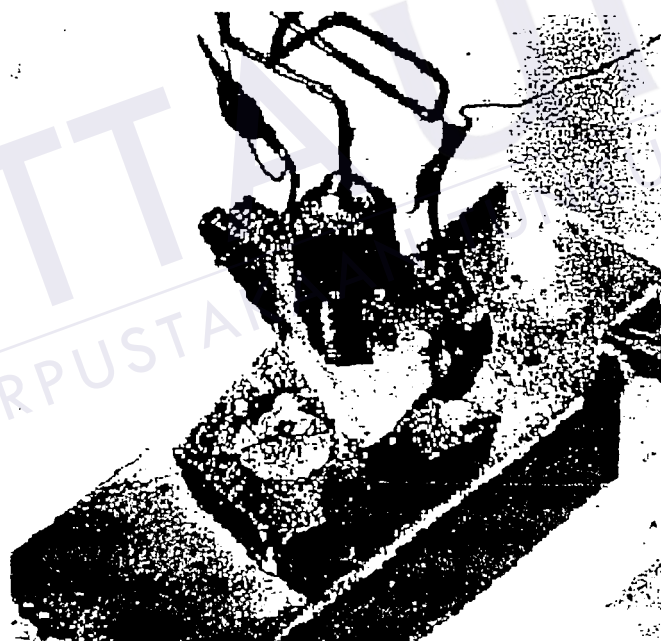
1.1 PENGENALAN

Teknologi semikonduktor dan teknologi mikroelektronik adalah saling berkait. Teknologi semikonduktor adalah kajian berkaitan dengan proses, fabrikasi, perincian dan operasi sesebuah peranti elektronik yang dibina berdasarkan teknologi mikroelektronik. Manakala, teknologi mikroelektronik pula ialah teknologi yang membolehkan sesebuah peranti mikroelektronik itu difabrikasikan.

Inovasi dalam bidang mikroelektronik telah berkembang dengan begitu pesat. Dengan meningkatnya perkembangan kehidupan manusia sejagat serta pergantungan yang kuat terhadap penggunaan peralatan elektronik, industri semikonduktor telah mengalami perkembangan dengan begitu pesat juga.

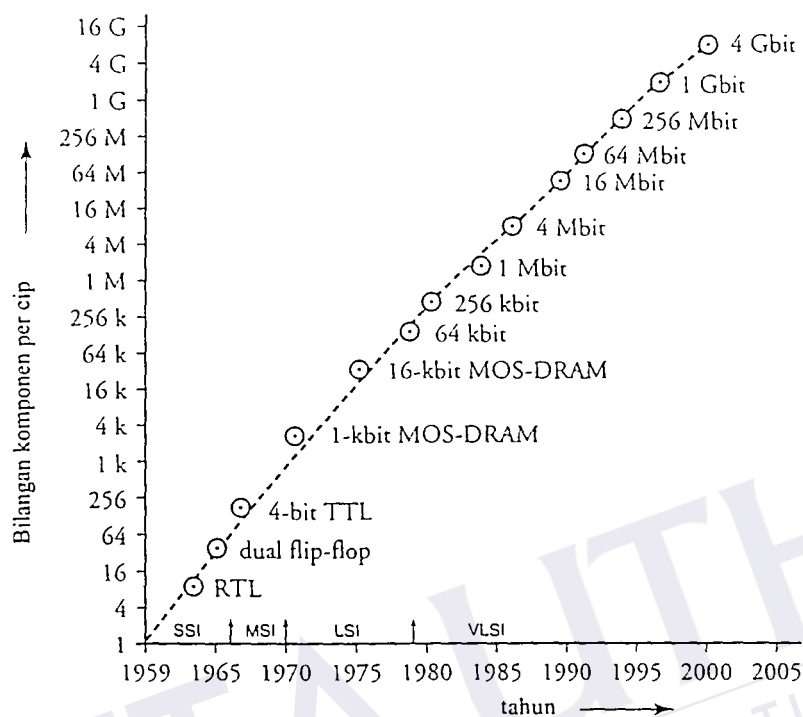
Transistor misalnya, telah mula diinovasikan seawal 1947 di Makmal Bell (Veendrick 2000). Kejayaan penghasilan transistor ini telah menjadi titik tolak bermulanya perkembangan dunia mikroelektronik hingga ke hari ini. Rajah 1.1 menunjukkan struktur transistor dwikutub seawal inovasinya di Makmal Bell.

Pada tahun 1965, Gordon Moore telah meramalkan bahawa jumlah bilangan peranti pada satu cip ialah dua kali ganda dalam tempoh setiap dua belas bulan. Ramalan beliau ini telah menjadi satu pola jangkaan dan ramalan. Ramalan ini dikenali sebagai *Moore's Law* (Veendrick 2000). Rajah 1.2 menunjukkan rumusan terhadap *Moore's Law* yang memberikan impak yang besar kepada pembangunan dunia semikonduktor dan mikroelektronik hari ini.



RAJAH 1.1 Inovasi awal transistor dwikutub

Sumber: Veendrick 2000



RAJAH 1.2 Rumusan ramalan *Moore's Law*

Sumber: Y.Taur dan T.H. Ning 2001

Rentetan ramalan yang dibuat oleh Gordon Moore melalui *Moore's Law*, teknologi fabrikasi litar bersepadu telah mengalami evolusi bermula dari Kamiran Skala Kecil – SSI (*Small Scale Integration*), Kamiran Skala Sederhana – MSI (*Medium Scale Integration*), Kamiran Skala Besar – LSI (*Large Scale Integration*), Kamiran Skala Sangat Besar – VLSI (*Very Large Scale Integration*) dan kini Kamiran Skala Tersangat Besar – ULSI (*Ultra Large Scale Integration*) (Burhanuddin 2000).

Seiring dengan perkembangan teknologi fabrikasi ini, *Semiconductor Industry Association* (SIA) telah mengeluarkan satu jadual ramalan berkaitan dengan perkembangan teknologi pada masa kini dan akan datang. Jadual 1.1 menunjukkan ramalan perkembangan teknologi merangkumi anggaran saiz minimum transistor yang boleh difabrikasikan di atas cip litar bersepadu. Saiz transistor ini diukur berdasarkan parameter yang dikenali sebagai panjang get.

Berdasarkan Jadual 1.1, dapat dilihat bahawa saiz transistor bakal mengalami pengecilan dari tahun ke tahun dan seterusnya meningkatkan bilangan transistor pada sesebuah cip. Perkara ini didorong oleh penskalaan saiz komponennya. Penskalaan saiz transistor yang menyebabkan saiz transistor menjadi kecil juga telah menyebabkan masa pensuisan bagi transistor berkurangan dan seterusnya meningkatkan kelajuan operasi sesebuah transistor. Ringkasnya dapatlah dikatakan, pengecilan saiz transistor dapat meningkatkan kelajuan sesebuah transistor.

JADUAL 1.1 Ramalan perkembangan teknologi oleh
Semiconductor Industry Association (SIA)

	Tahun					
	1999	2001	2003	2006	2009	2012
Panjang get (μm)	0.14	0.12	0.10	0.07	0.05	0.035
Transistor per cm^2 (juta)	14	16	24	40	64	100
Saiz cip (mm^2)	800	850	900	1000	1100	1300

Sumber: Y.Taur dan T.H. Ning 2001

1.2 OBJEKTIF PROJEK

Projek ini dibangunkan dengan tujuan bagi mencapai beberapa objektif kajian yang digariskan seperti berikut;

- i. mempelajari ciri-ciri sebuah transistor nMOS dan langkah-langkah dalam proses fabrikasinya
- ii. mengkaji kaedah penskalaan MOSFET untuk diimplementasikan bagi rekabentuk transistor nMOS 0.13 μm
- iii. membangunkan satu aturcara dengan menggunakan *Virtual Wafer Fabrication* (VWF) keluaran *Silvaco Inc. TCAD Tools*

1.3 SKOP PROJEK

Projek ini merangkumi proses untuk merekabentuk sebuah transistor nMOS dengan panjang getnya 0.13 μm . Resipi asal transistor CMOS 0.18 μm digunakan sebagai asas untuk melakukan penskalaan. Pembangunan aturcara dilaksanakan menggunakan perisian *Virtual Wafer Fabrication* (VWF). Analisa ciri elektrik transistor turut dilakukan untuk menentukan keboleherjaan transistor yang telah direkabentuk.

1.4 RINGKASAN BAB

Laporan projek ini dicerakinkan kepada enam bahagian utama. Laporan dimulakan pada Bab 1 dengan memperihalkan pengenalan kepada projek ini merangkumi pengenalan terhadap industri semikonduktor, objektif dan skop projek.

Bab 2 pula merangkumi kajian perpustakaan yang telah dijalankan bagi mendapatkan kefahaman sebelum proses rekabentuk dan fabrikasi transistor nMOS 0.13 μm dijalankan. Kandungan utamanya ialah ciri-ciri sebuah transistor dan proses fabrikasi sebenar sebuah transistor nMOS.

Seterusnya Bab 3 pula menjelaskan kaedah yang dilaksanakan dalam projek ini meliputi senarai ujikaji yang dijalankan. Bab 4 memfokuskan kepada proses penghasilan aturcara dan penerangannya. Bab 5 pula memperihalkan dapatan keputusan yang diperolehi melalui simulasi dan analisis dilakukan dengan membuat beberapa perbandingan berdasarkan cadangan atau dapatan terdahulu.

Akhirnya, Bab 6 menerangkan keputusan yang diperolehi dan seterusnya memberikan cadangan pada masa akan datang terhadap projek rekabentuk dan simulasi transistor nMOS 0.13 μm ini.

BAB 2

KAJIAN PERPUSTAKAAN

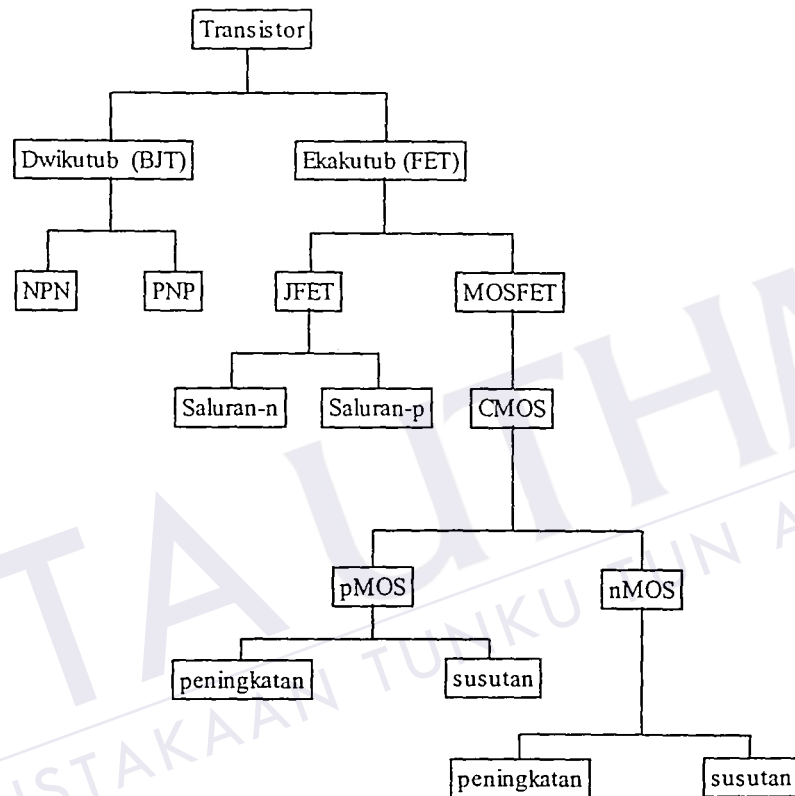
2.1 PENGENALAN KEPADA TRANSISTOR

Transistor adalah peranti yang terpenting dalam litar elektronik. Ia boleh berfungsi sebagai amplifiaer iaitu untuk menguatkan kuasa, voltan atau arus. Transistor juga banyak digunakan sebagai suis di dalam litar-litar digital dan komputer.

Secara asasnya, transistor boleh dibahagikan kepada dua kumpulan utama iaitu, transistor dwikutub (*bipolar*) dan ekakutub (*unipolar*). Transistor dwikutub atau ringkasnya BJT (*Bipolar Junction Transistor*) menggunakan kedua-dua elektron dan lubang sebagai pembawa. Operasi BJT adalah dikawal oleh arus kerana arus yang keluar adalah bergantung kepada arus yang masuk.

Transistor ekakutub atau FET (*Field Effect Transistor*) pula hanya menggunakan salah satu sama ada elektron atau lubang sebagai pembawa. Operasi FET pula adalah dikawal oleh voltan kerana voltan yang terdapat pada get akan mengawal arus yang

mengalir melalui peranti (Masuri 2002). Secara ringkasnya, keluarga transistor dapat diwakili oleh Rajah 2.1 berikut.



RAJAH 2.1 Keluarga transistor

Sumber: Burhanuddin 2000

Transistor FET mempunyai tiga terminal iaitu sumber, salir dan get. Arus mengalir di sepanjang laluan yang sempit di antara punca dan salir. Voltan pada get akan menghasilkan medan elektrik yang akan mengawal aliran arus. Sebagaimana BJT, FET juga digunakan dalam litar amplifier dan litar pensuisan. Rintangan input pada get adalah sangat tinggi.

Oleh itu FET digunakan apabila input dapat membekalkan arus yang tinggi. Transistor kesan medan boleh diklasifikasikan kepada dua kumpulan iaitu JFET (*Junction Field Effect Transistor*) dan MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*). JFET pula terdiri daripada JFET saluran-n dan saluran-p, manakala MOSFET pula terdiri daripada dua simpang p-n yang dihubungkan melalui satu kapasitor semikonduktor oksida logam. Jenis substratum yang wujud di antara simpang adalah menentukan sama ada elektron atau lubang yang menghasilkan arus di antara dua simpang tersebut (Masuri 2002).

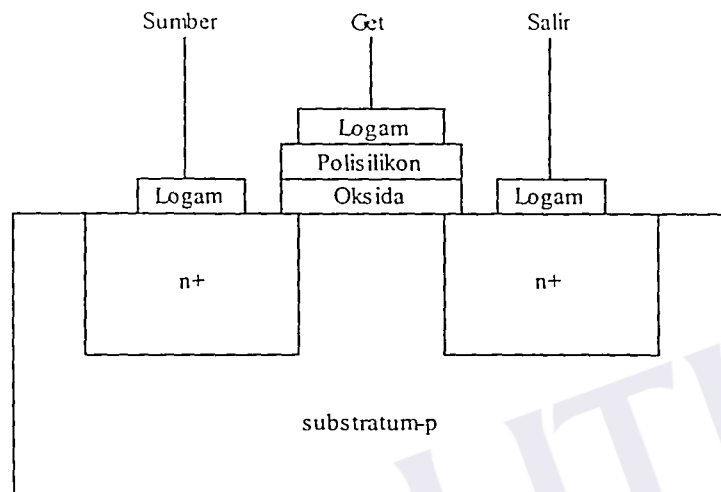
2.2 TRANSISTOR MOS

Transistor MOS adalah peranti yang penting dalam industri elektronik. Perkembangan teknologi mikroelektronik telah membolehkan transistor dibina dengan saiz yang amat kecil. Transistor MOS digunakan secara meluas dalam VLSI kerana ia dapat dipadatkan di atas wafer yang bersaiz kecil dan penggunaan kuasanya juga adalah kecil.

Transistor MOS terbahagi kepada dua jenis iaitu transistor nMOS dan transistor pMOS. Bagi transistor nMOS, pembawa utamanya ialah elektron dan dibina daripada satu substratum silikon jenis-p. Transistor nMOS mempunyai dua kawasan yang didopkan dengan bahan jenis-n (contohnya fosforus) dan kawasan ini dikenali sebagai sumber dan salir. Manakala transistor pMOS pula pembawa utamanya ialah lubang. Transistor ini dibina daripada substratum silikon jenis-n dan kawasan sumber dan salirnya didopkan dengan bahan jenis-p (contohnya boron).

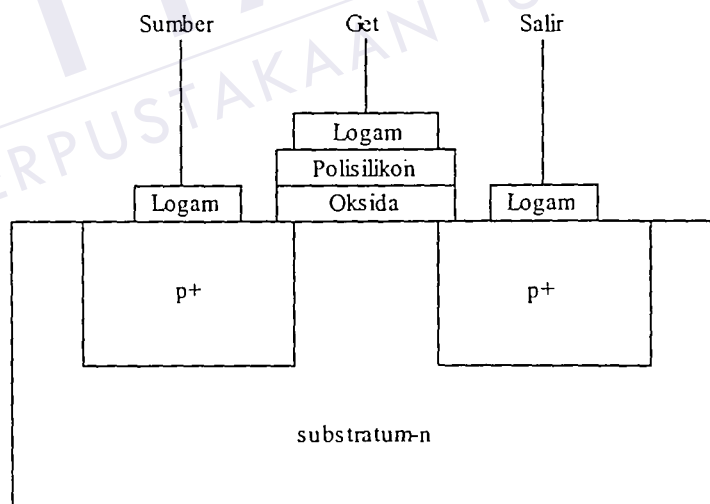
Bagi kedua-dua jenis transistor ini, terdapat kawasan yang memisahkan antara sumber dan salir yang dikenali sebagai get. Get merupakan bahagian masukan kawalan bagi transistor yang mengawal pengaliran arus antara sumber dengan salir. Lazimnya, get dibina daripada lapisan polisilikon yang dimendapkan di atas satu lapisan oksida nipis.

Rajah 2.2 dan Rajah 2.3 masing-masing menunjukkan keratan rentas bagi transistor nMOS dan transistor pMOS.



RAJAH 2.2 Keratan rentas transistor nMOS

Sumber: Burhanuddin 2000



RAJAH 2.3 Keratan rentas transistor pMOS

Sumber: Burhanuddin 2000

RUJUKAN

- Burhanuddin Yeop Majlis. 2000. *Teknologi Fabrikasi Litar Bersepadu*. Penerbit Universiti Kebangsaan Malaysia.
- Campbell, S. 1996. *The Science and Engineering of Microelectronic Fabrication*. New York: Oxford University Press.
- Chang, C. Y. & Sze, S. M. 2000. *ULSI Devices*. Canada: John Wiley & Sons.
- Critchlow, D. L. 1999. MOSFET Scaling – The Driver of VLSI Technology. *Proceedings of the IEEE*. 87(4): 659 – 667.
- El-Karih, B. 1995. *Fundamentals of Semiconductor Processing Technologies*. Kluwer Academic Publishers.
- Fuller, L., Bhashkaran, S. & Puchades, I. 2001. *RIT's Advanced CMOS Processes (1.0 μm and 0.5 μm)*. Rochester Institute of Technology.
- Ghandhi, S. K. 1983. *VLSI Fabrication Principles*. New York: John Wiley & Sons.
- Hu, C. 1995. Future CMOS Scaling and Reliability. *Proceedings of the IEEE*. 81(5): 682 - 689.
- Iwai, H. 1997. Silicon MOSFET Scaling Beyond 0.1 Micron. *International Conference on Microelectronics of Solid State and Integrated Circuit Technology*: 1: 11 – 18.
- Iwai, H. 1998. CMOS Scaling Towards Its Limit. *Proceedings of Solid State and Integrated Circuit Technology*: 31 - 34.

- Iwai, H., & Ohmi, S. 2000. Problem and Solution for Downsizing CMOS Below 0.1 μm . *ICSE Proceedings 2000*: 1 – 19.
- Iwai, H., Momose, H. S., & Katsuma, Y. 1995. Si-MOSFET Scaling Down to Deep-sub-0.1 μm Range and Future of Silicon LSI. *Proceedings of Technical Papers*: 262 – 267.
- K. Rahmat, O.S. Nakagawa, Oh S. Y., and Moll, J. 1995. A Scaling Scheme for Interconnect in Deep Submicron Process. *Technical Report HPL-95* (atas talian) <http://citeseer.nj.hec.com/context/437630/0> (22 Julai 2003)
- Kang, S. M. & Leblebichi, Y. 1999. *CMOS Digital Integrated Circuits – Analysis and Design*. Mc.Graw Hill.
- Masuri Othman. 2002. *Teknologi Peranti Mikroelektronik*. Penerbit Universiti Kebangsaan Malaysia.
- Ng Jin Aun. 2002. Rekabentuk Transistor Dan Simulasi Kepada Pembangunan Teknologi CMOS 0.25 μm . Latihan Ilmiah Sarjana. Universiti Kebangsaan Malaysia.
- Prof. C. R. Wie's Group. 2001. The Semiconductor Applet Services : Metal Oxide_Semiconductor (MOS) FET. Educational Java Applet Services. (atas talian).<http://jas.eng.buffalo.edu/education/mos/mosfet/mosfet.html> (6 Ogos 2003).
- Pucknell, D. A., & Eshraghian K. 1994. *Basic VLSI Design*. 3rd Edition, 2003. Australia: Prentice Hall.
- Quirk, M. & Serda, J. 2001. *Semiconductor Manufacturing Technology*. Upper Saddle River, NJ: Prentice Hall.

- Rabaey, J. M., Chandrakasan, A., & Nikolic, B. 2nd Edition, 2003. *Digital Integrated Circuits –A Design Perspective*. Prentice Hall.
- Semiconductor Java Applet (JAS). 2002. Device Fabrication. (atas talian). <http://jas2.eng.buffalo.edu/applets/> (23 Julai 2003).
- Semiconductor Java Applet Services (JAS). 2002. MOSFET (atas talian). <http://jas2.eng.buffalo.edu/applets/> (23 Julai 2003).
- Shiyong Xiong and Jiagen Ding. Impact of Parameter Variation on Future Circuit Performance. *Technical Report*. (atas talian) <http://mechatro2.me.berkeley.edu/~jgding/ee241/report1.pdf> (7 Ogos 2003)
- Silvaco. 1999. *TCAD Tutorial and Examples Manual Volume 1*. Santa Clara.
- Stefan, R. 2002. Trends & Challenges in VLSI Technology Scaling Towards 100nm. *Technical Report*. Intel Corporation, Santa Clara, CA
- Syafinaz Sobihana Sharifudin. 2003. Penskalaan Get Dielektrik Bagi Teknologi 0.18 μm . Latihan Ilmiah Sarjana. Universiti Kebangsaan Malaysia.
- Sze, S. M. 1983. *VLSI Technology*. New York: McGraw-Hill.
- Sze, S. M. 2001. *Semiconductor Devices Physics and Technology*. New York: John Wiley & Sons.
- Veendrick, H. 2000. *CMOS IC's from basic to ASIC*. Kluwer Academic Publishers.
- Wolf, S. & Tauber, R. 1986. *Silicon Processing for the VLSI Era, Volume 1, Process Technology*. Sunset Beach: Lattice Press.

Xiao, H. 2001. *Introduction to Semiconductor Manufacturing Technology*. New Jersey: Prentice Hall.

Yuan, T. & Tak, H. N.. 2001. *Fundamentals of Modern VLSI Devices*. United States: Cambridge University Press.

Zant, P. V. 2000. *Microchip Fabrication: A Practical Guide to Semiconductor Processing*, New York: McGraw Hill.



PTTA UTHM
PERPUSTAKAAN TUNKU TUN AMINAH